

日 本 国 特 許 庁
JAPAN PATENT OFFICE



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 3月30日

出 願 番 号

Application Number:

特願2001-099962

出 願 人

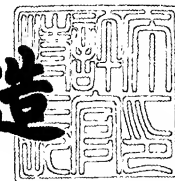
Applicant(s):

富士通カンタムデバイス株式会社

2001年12月21日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3111302

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: **Yoshio AOKI, et al.**

Serial No.: **Not Yet Assigned**

Filed: **March 6, 2002**

For: **HIGH FREQUENCY SEMICONDUCTOR DEVICE**

#21 10/090614
8/19/02
1017 U.S. PTO
10/090614
03/06/02

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Commissioner for Patents
Washington, D.C. 20231

March 6, 2002

Sir:

The benefit of the filing dates of the following prior foreign applications are hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

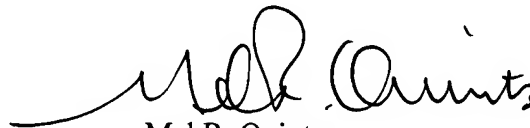
Japanese Appln. No. 2001-099962, filed March 30, 2001

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of these applications be marked to indicate that the applicants have complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 01-2340.

Respectfully submitted,
ARMSTRONG, WESTERMAN & HATTORI, LLP



Mel R. Quintos
Reg. No. 31,898

Atty. Docket No.: 020132
Suite 1000, 1725 K Street, N.W.
Washington, D.C. 20006
Tel: (202) 659-2930
Fax: (202) 887-0357
MRQ/ll

【書類名】 特許願

【整理番号】 0100148

【提出日】 平成13年 3月30日

【あて先】 特許庁長官 殿

【国際特許分類】 H05K 9/00

【発明の名称】 高周波半導体装置

【請求項の数】 20

【発明者】

【住所又は居所】 山梨県中巨摩郡昭和町大字紙漣阿原1000番地 富士
通カンタムデバイス株式会社内

【氏名】 青木 芳雄

【発明者】

【住所又は居所】 山梨県中巨摩郡昭和町大字紙漣阿原1000番地 富士
通カンタムデバイス株式会社内

【氏名】 耳野 裕

【発明者】

【住所又は居所】 山梨県中巨摩郡昭和町大字紙漣阿原1000番地 富士
通カンタムデバイス株式会社内

【氏名】 馬場 修

【発明者】

【住所又は居所】 山梨県中巨摩郡昭和町大字紙漣阿原1000番地 富士
通カンタムデバイス株式会社内

【氏名】 後藤 宗春

【特許出願人】

【識別番号】 000154325

【氏名又は名称】 富士通カンタムデバイス株式会社

【代理人】

【識別番号】 100072590

【弁理士】

【氏名又は名称】 井 裕 貞一

【電話番号】 044-754-2462

【手数料の表示】

【予納台帳番号】 011280

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9721483

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 高周波半導体装置

【特許請求の範囲】

【請求項 1】 半導体基板上に設けられ、接地電位と接続される接地プレートと、

前記接地プレート上に層間絶縁膜を介して設けられた線路導体と、

外部接続のための端子部と、

最上層に位置する前記線路導体上に層間絶縁膜を介して設けられ、接地電位に接続されるシールドプレートと、

を備えることを特徴とする高周波半導体装置。

【請求項 2】 前記端子部は、ワイヤボンディングパッドであることを特徴とする請求項 1 記載の高周波半導体装置。

【請求項 3】 前記シールドプレートには、前記ワイヤボンディングパッドが位置する領域に開口部が設けられることを特徴とする請求項 2 記載の高周波半導体装置。

【請求項 4】 前記ワイヤボンディングパッドは、前記シールドプレート上に設けられることを特徴とする請求項 2 記載の高周波半導体装置。

【請求項 5】 前記シールドプレートは前記半導体基板の全面を実質的に覆うことを特徴とする請求項 1 記載の高周波半導体装置。

【請求項 6】 前記シールドプレートの周縁にその内側を囲んで複数配置され、前記接地プレートに達するスルーホールと、前記スルーホールに充填され、前記シールドプレートと前記接地プレートとを電氣的に接続する内部導体とをさらに備えることを特徴とする請求項 1 記載の高周波半導体装置。

【請求項 7】 前記端子部は、前記半導体基板の背面から引き出されることを特徴とする請求項 1 記載の高周波半導体装置。

【請求項 8】 前記端子部は、前記基板を貫通するビアホールを通じてその表面側と接続されることを特徴とする請求項 7 記載の高周波半導体装置。

【請求項 9】 前記端子部はフリップチップボンディングパッドであることを特徴とする請求項 7 記載の高周波半導体装置。

【請求項 1 0】 前記半導体基板は半導体デバイスが形成される回路配置領域とその周囲に位置して前記端子が配置される外周部とに区画され、前記シールドプレートは前記回路配置領域を選択的に覆うことを特徴とする請求項 1 記載の高周波半導体装置。

【請求項 1 1】 前記シールドプレートの周縁にその内側を囲んで複数配置され、前記接地プレートに達するスルーホールと、前記スルーホールに充填され前記シールドプレートと前記接地プレートとを電氣的に接続する内部導体とをさらに備え、前記端子部と前記回路配置領域との間は、前記スルーホールが設けられない領域と通じて導通されることを特徴とする請求項 1 0 記載の高周波半導体装置。

【請求項 1 2】 前記端子部はアンテナであることを特徴とする請求項 1 記載の高周波半導体装置。

【請求項 1 3】 前記シールドプレートには、前記アンテナに相当する部分に開口部が設けられることを特徴とする請求項 1 2 記載の高周波半導体装置。

【請求項 1 4】 前記半導体基板の背面には、外部と電氣的に直接に接続される端子部がさらに設けられてなることを特徴とする請求項 1 2 記載の高周波半導体装置。

【請求項 1 5】 前記端子部は、前記基板を貫通するビアホールを通じてその表面側と接続されることを特徴とする請求項 1 4 記載の高周波半導体装置。

【請求項 1 6】 前記基板の背面に設けられた端子部はフリップチップボンディングパッドであることを特徴とする請求項 1 4 記載の高周波半導体装置。

【請求項 1 7】 前記アンテナは、前記接地プレートをアンテナグランドプレーンとすることを特徴とする請求項 1 2 記載の高周波半導体装置。

【請求項 1 8】 前記アンテナは前記シールドプレート上に設けられ、そのシールドプレートをアンテナグランドプレーンとするものであることを特徴とする請求項 1 2 記載の高周波半導体装置。

【請求項 1 9】 前記アンテナはパッチアンテナであることを特徴とする請求項 1 2 記載の高周波半導体装置。

【請求項 2 0】 前記層間絶縁膜はポリイミドまたはベンゾシクロブテンである

ことを特徴とする請求項 1 記載の高周波半導体装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は高周波信号の導波路を用いたMMIC全般に関するものである。

【 0 0 0 2 】

【従来の技術】

HEMTやHBT に代表される高速半導体デバイスを利用したMMIC (Monolithic Microwave Integrated Circuit) には、高周波信号を取り扱うため、通常のシリコン集積回路などとは違い、配線には高周波導波路が必要となる。このような高周波導波路としては、線路特性が安定で分散特性（伝播定数の周波数依存性）が少ないマイクロストリップ線路が使用される。

【 0 0 0 3 】

図 1 3 は従来のマイクロストリップ線路を使用したMMICのなかでも、特に線路導体を多層化したいわゆる 3 次元MMICを示す図である。

【 0 0 0 4 】

図 1 3 に示すように、従来の多層構造のMMICは半導体基板 1 上に設けられた表面絶縁膜 2 に接地プレート 3 が設けられ、この接地プレート 3 は各層間絶縁膜 4 上に設けられた線路導体 5 との間でマイクロストリップ線路を構成している。また、最上層にはパッド 6 が設けられて外部と接続される。

【 0 0 0 5 】

【発明が解決しようとする課題】

図 1 3 で説明した従来のMMICは、所定のパッケージに収容され、パッド 6 とワイヤボンディングされてその電位を外部と接続している。

【 0 0 0 6 】

ところで、このようなMMICはその内部で高周波信号が取り扱われており、チップ外部からの電磁波などがMMICの動作に悪影響を及ぼすことがあるため、このようなチップは電氣的に内部をシールド可能なパッケージに収容されるのが一般である。

【 0 0 0 7 】

しかしながら、チップをシールドして収容可能なパッケージとして知られるメタルパッケージやセラミックパッケージは高価であり、また、一つのパッケージ内に複数の素子を搭載する場合、それら素子自身の発する電磁波による相互干渉を防止しなければならない。

【 0 0 0 8 】

本発明は、外部電磁波による干渉あるいは、外部への電磁波の漏洩を減少できるMMICを提供することを目的とする。

【 0 0 0 9 】

【課題を解決するための手段】

図 1 は本発明の原理を説明する平面図、図 2 は図 1 中の線分A-A'における断面図である。

【 0 0 1 0 】

図 1 および図 2 に示すように、本発明では線路導体 5 が設けられたMMIC構造の上に更に層間絶縁膜 4 を介して接地電位に接続されるシールドプレート 7 を設けるものである。

【 0 0 1 1 】

半導体基板 1 上の回路デバイス（図示せず）が形成される領域、すなわち回路配置領域と線路導体 5 がその上部でシールドプレート 7 によって保護されるため、外部電磁波による干渉あるいは、外部への電磁波の漏洩を減少できる。

【 0 0 1 2 】

請求項 1 の高周波半導体装置は、回路デバイス上に層間絶縁膜を介して接地プレートを設けることにより、回路デバイスに近接した位置で電磁波をシールドするとともに、前記シールドプレートとで線路導体を挟み込んでいるため、シールド効果を更に高めることができる。

【 0 0 1 3 】

請求項 2 の高周波半導体装置は、外部接続のための端子部として、ワイヤボンディングパッドに限定したものである。

【 0 0 1 4 】

請求項 3 の高周波半導体装置は、請求項 2 で限定したボンディングパッドを形成するのに、シールドプレートの一部に開口を設け、その開口部の中にボンディングパッドを形成するようにしたものである。

【 0 0 1 5 】

請求項 4 の高周波半導体装置は、シールドプレート上に層間絶縁膜を介してその上にボンディングパッドを形成するようにしたものであり、シールドプレートに設ける開口面積を小さくできるため、シールド効果を損ないにくい。

【 0 0 1 6 】

請求項 5 の高周波半導体装置は、シールドプレートを全面に設けることによってシールド効果を高めるものである。

【 0 0 1 7 】

請求項 6 の高周波半導体装置は、シールドプレートと接地プレートとをシールドプレートの周縁に複数設けたスルーホールで接続することにより、線路導体を接地電位に接続された二つのプレートで挟み込むことによって、シールド効果を高めるものである。

【 0 0 1 8 】

請求項 7 の高周波半導体装置は、端子部を半導体基板の背面から引き出すようにしたものである。

【 0 0 1 9 】

請求項 8 の高周波半導体装置は、前記端子部を半導体基板を貫通するビアホールを通じて表面配線層と接続したものである。

【 0 0 2 0 】

請求項 9 の高周波半導体装置は、前記端子部がフリップチップボンディングパッドであることを限定したものである。

【 0 0 2 1 】

請求項 1 0 の高周波半導体装置は、半導体デバイスが形成される回路配置領域とその周囲に位置して前記端子が配置される外周部とに区画され、前記シールドプレートで前記回路配置領域を選択的に覆うようにしたものである。

【 0 0 2 2 】

請求項 1 1 の高周波半導体装置は、前記シールドプレートの周縁にその内側を囲んで複数配置され、前記接地プレートに達するスルーホールと、前記スルーホールに重点され前記シールドプレートと前記接地プレートとを電氣的に接続する内部導体とをさらに備え、前記端子部と前回路配置領域との間は、前記スルーホールが設けられていない領域を通じて導通されるようにしたものである。

【 0 0 2 3 】

請求項 1 2 の高周波半導体装置は、表面側の前記端子部の一部をアンテナとしたものである。

【 0 0 2 4 】

請求項 1 3 の高周波半導体装置は、請求項 1 2 記載のアンテナに相当する部分を前記シールドプレートに開口部を設けて設置するようにしたものである。

【 0 0 2 5 】

請求項 1 4 の高周波半導体装置は、請求項 1 2 記載のアンテナ形成されている面とは逆の基板の背面側に外部と電氣的に直接接続される端子部がさらに設けられるようにしたものである。

【 0 0 2 6 】

請求項 1 5 の高周波半導体装置は、請求項 1 4 記載の端子部を基板を貫通するビアホールを通じてその表面側と接続するようにしたものである。

【 0 0 2 7 】

請求項 1 6 の高周波半導体装置は、請求項 1 4 の端子部をフリップチップボンディングパッドとするようにしたものである。

【 0 0 2 8 】

請求項 1 7 の高周波半導体装置は、請求項 1 2 のアンテナのグランドプレーンとして前記接地プレーンを用いるようにしたものである。

【 0 0 2 9 】

請求項 1 8 の高周波半導体装置は、請求項 1 2 のアンテナが前記シールドプレーン上に形成され、アンテナグランドプレーンとして前記シールドプレーンを用いるようにしたものである。

【 0 0 3 0 】

請求項 1 9 の高周波半導体装置は、請求項 1 2 のアンテナとしてパッチアンテナを用いるようにしたものである。

【 0 0 3 1 】

請求項 2 0 の高周波半導体装置は、前記層間絶縁膜としてポリイミドまたはベンゾシクロブテンを用いるようにしたものである。

【 0 0 3 2 】

【発明の実施の形態】

以下、本発明の実施例を説明する。

【 0 0 3 3 】

図 3 は本発明を採用した MMIC の第 1 実施例を説明する部分透過平面図である。

【 0 0 3 4 】

図 4 は図 3 の線分 A-A' における断面図である。

【 0 0 3 5 】

本実施例では GaAs からなる化合物半導体基板 1 を使用し、FET などの能動デバイス（図示せず）を形成した後、その表面に窒化シリコンからなる表面絶縁膜 2 が設けられている。そして、表面絶縁膜 2 上に図示しない配線あるいはスルーホールによって接地電位に接続される金（Au）からなる接地プレート 3 が設けられ、その上に層間絶縁膜 4 を介して線路導体 5 が設けられる。ここで、線路導体 5 は接地プレート 3 との間で高周波伝送路を構成している。

【 0 0 3 6 】

各層間絶縁膜 4 はポリイミドやベンゾシクロブテン（BCB）によって構成されており、線路導体 5 は、スパッタリングや蒸着などによって被着され、イオンミリングやリフトオフによってパターンニングされた金（Au）が使用されている。

【 0 0 3 7 】

本実施例では、最上層の線路導体 5 上に層間絶縁膜 4 が設けられ、その表面に本発明によるシールドプレート 7 が設けられている。また、シールドプレート 7 には、チップ 1 0 0 の周縁部を囲うように接地プレート 3 と接続されるスルーホール 8 が設けられており、スルーホール 8 の内部に充填された内部導体 8 a によって接地プレート 3 と電氣的に共通に接続される。

【 0 0 3 8 】

なお、外部接続用の端子であるパッド6は回路配置領域の周囲に位置する外周部に設けられており、シールドプレート7はこの外周部にパッド6を露出する開口を有している。このパッド6は、スルーホール9の内部導体9aによって内部に引き込まれるように構成される。

【 0 0 3 9 】

本実施例によれば、チップ100の表面がシールドプレート7に覆われることにより、外部との間で電磁波干渉が生じに難くなるうえ、さらにチップ100の周縁には内部導体8aが充填されたスルーホール8が設けられるので、側面における電磁波の干渉も抑制することができる。

【 0 0 4 0 】

図5は本発明を採用したMMICの第2実施例を説明する部分透過平面図である。

【 0 0 4 1 】

図6は図5の線分A-A'における断面図である。

【 0 0 4 2 】

図5および図6において、第1実施例と同じ部位には同じ番号を附している。

【 0 0 4 3 】

本実施例では、半導体基板1の裏面側から外部接続用のパッドであるフリップチップ電極10を引き出す構造を採用している。

【 0 0 4 4 】

たとえば、半導体基板1に設けられた活性領域1aの電位をフリップチップ電極10に接続する場合、活性領域1aの外側に電位の引出すための金(Au)からなる表面配線層1bを設け、そこに半導体基板1の裏面からエッチングして形成されたビアホール1cが設けられる。なお、半導体基板1の裏面には窒化シリコンからなる裏面保護膜1eが設けられている。このビアホール1c内には内部導体1dが埋め込まれており、これによって表面配線層1bの電位がフリップチップ電極10に接続される。なお、内部導体1dおよびフリップチップ電極10は金メッキによって形成される。

【 0 0 4 5 】

また、層間絶縁膜 4 上に設けられた線路導体 5 の電位を裏面に接続する場合には、接地プレート 3 にスルーホールを設け、そこを介して同様にビアホールを通じた内部導体によって引き出しを行えばよい。

【 0 0 4 6 】

本実施例によれば、シールドプレート 7 にはパッドを配置するための開口が必要ないため、直接に電磁波に曝されるチップ 1 0 0 の表面側におけるシールド効果が高くなる。

【 0 0 4 7 】

図 7 は本発明を採用した MMIC の第 3 実施例を説明する部分透過平面図である。

【 0 0 4 8 】

図 8 は図 7 の線分 A-A' における断面図、図 9 は図 7 の線分 B-B' における断面図である。

【 0 0 4 9 】

図 8 乃至図 1 0 において、第 1 , 第 2 実施例と同じ部位には同じ番号を附している。

【 0 0 5 0 】

本実施例では、半導体デバイスが設けられる半導体基板 1 上の回路配置領域の上部にだけシールドプレート 7 が設けられ、パッド 6 が設けられる回路配置領域の外周部には、シールドプレート 7 を設けない構成を採用したものである。また、シールドプレート 7 の周縁には第 1 , 2 実施例と同じく、スルーホール 8 が設けられ、その内部に充填された内部導体 8 a によって、側面からの電磁波干渉を抑制している。

【 0 0 5 1 】

また、図 8 , 9 に示すように、パッド 6 とシールドプレート 7 の内側の領域との接続には、スルーホール 8 を一部除した領域を設けて、そこを線路導体 5 が通過するように構成する。

【 0 0 5 2 】

図 1 0 は本発明を採用した MMIC の第 4 実施例を説明する部分透過平面図である。

【 0 0 5 3 】

図 1 1 は図 1 0 の線分 A-A' における断面図である。

【 0 0 5 4 】

図 1 0 および図 1 1 において、第 1 乃至第 3 実施例と同じ部位には同じ番号を附している。

【 0 0 5 5 】

本実施例は、アンテナ 1 1 を使用して外部との信号の送受を行うものである。アンテナ 1 1 は送信用と受信用に 2 箇所設けられており、それぞれ接地プレート 3 をアンテナグランドプレーンとするパッチアンテナの構造をもっている。各アンテナ 1 1 は線路導体 5 によって MMIC の内部回路と接続されている。

【 0 0 5 6 】

また、アンテナを使用しない信号の入出力および電源や接地電位との接続のために、半導体基板 1 の裏面にはフリップチップ電極 1 0 が設けられている。このフリップチップ電極 1 0 の構造については、前記第 2 実施例と同じものが採用されている。

【 0 0 5 7 】

図 1 2 は本発明の第 5 実施例を説明する図である。

【 0 0 5 8 】

図 1 2 において、図 1 1 と同じ部位には同じ記号が附されている。

【 0 0 5 9 】

前記第 4 実施例では、接地プレート 3 がアンテナグランドプレーンとして機能していたが、図 1 2 のようにシールドプレート 7 をアンテナグランドプレーンとして使用することもできる。第 4 実施例では、接地プレート 3 をアンテナグランドプレーンとしていたため、アンテナ 1 1 の直下の領域には線路導体 5 など他の回路部品を配置することが出来なかったが、本実施例によれば、シールドプレート 7 をアンテナグランドプレーンとするので、シールドプレート 7 によって線路導体 5 などと高周波的な分離が可能になり、アンテナ 1 1 をチップ上の任意の位置に配置することが可能になる。

【 0 0 6 0 】

なお、本実施例ではアンテナ 1 1 が所定の特性を持つよう、アンテナ 1 1 とシールドプレート 7 の間に位置する層間絶縁膜 4 はその厚みや誘電率が最適化されているが、それらを考慮せず、アンテナ 1 1 の部分を外部と電氣的に直接に接続するパッドとすることもできる。

【0 0 6 1】

【発明の効果】

以上説明したように本発明によれば、本発明によれば、MMICの表面がシールドプレート 7 によって保護されるため、外部電磁波による干渉あるいは、外部への電磁波の漏洩がチップ単体で減少できる。このため、パッケージの簡素化が可能になり、さらには本発明によるチップ単体で回路基板などに実装することも可能になる。

【図面の簡単な説明】

- 【図 1】 本発明の原理を説明する平面図
- 【図 2】 本発明の原理を説明する断面図
- 【図 3】 第 1 実施例を説明する部分透過平面図
- 【図 4】 第 1 実施例を説明する（図 3 の線分 A-A' における）断面図
- 【図 5】 第 2 実施例を説明する部分透過平面図
- 【図 6】 第 2 実施例を説明する（図 5 の線分 A-A' における）断面図
- 【図 7】 第 3 実施例を説明する部分透過平面図
- 【図 8】 第 3 実施例を説明する（図 7 の線分 A-A' における）断面図
- 【図 9】 第 3 実施例を説明する（図 7 の線分 B-B' における）断面図
- 【図 1 0】 第 4 実施例を説明する部分透過平面図
- 【図 1 1】 第 4 実施例を説明する（図 1 0 の線分 A-A' における）断面図
- 【図 1 2】 第 5 実施例を説明する断面図
- 【図 1 3】 従来のマクロストリップ線路を使用した 3 次元 MMIC を示す図

【符号の説明】

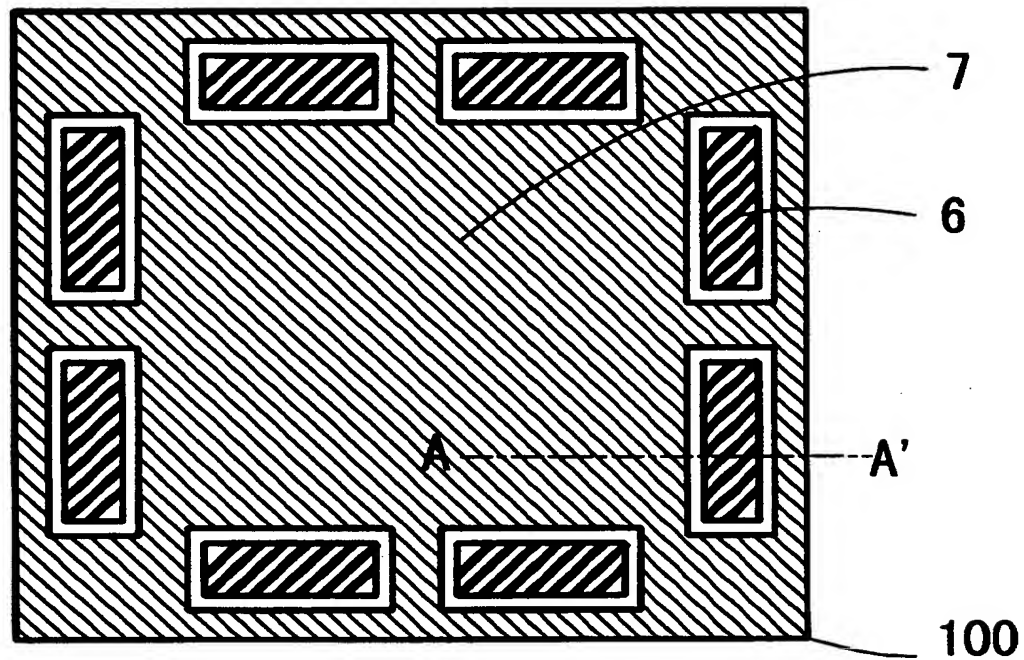
- 1 半導体基板
- 1 a 活性領域

- 1 b 表面配線層
- 1 c ビアホール
- 1 d 内部導体
- 1 e 裏面保護膜
- 2 表面絶縁膜
- 3 接地プレート
- 4 層間絶縁膜
- 5 線路導体
- 6 パッド
- 7 シールドプレート
- 8, 9 スルーホール
- 8 a, 9 a 内部導体
- 1 0 フリップチップ電極
- 1 1 アンテナ
- 1 0 0 チップ

【書類名】 図面

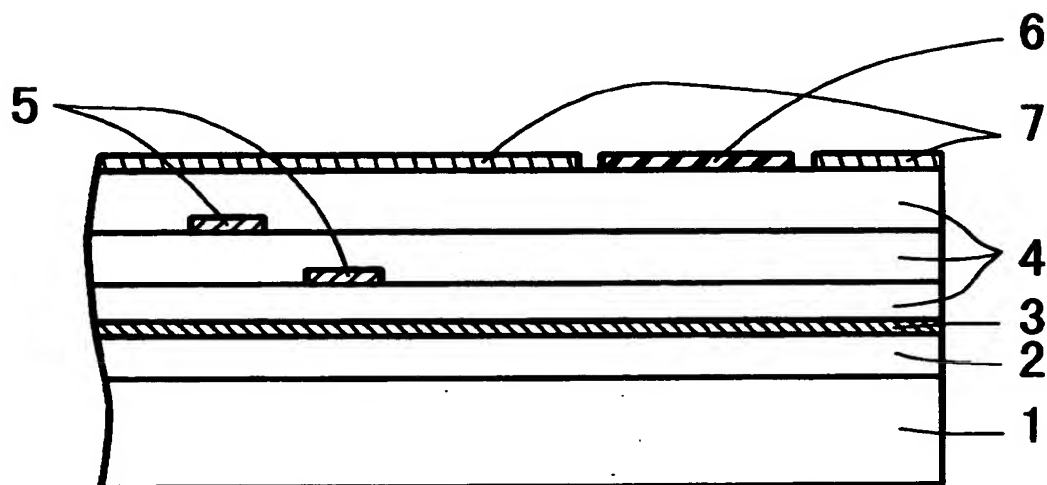
【図 1】

本発明の原理を説明する平面図



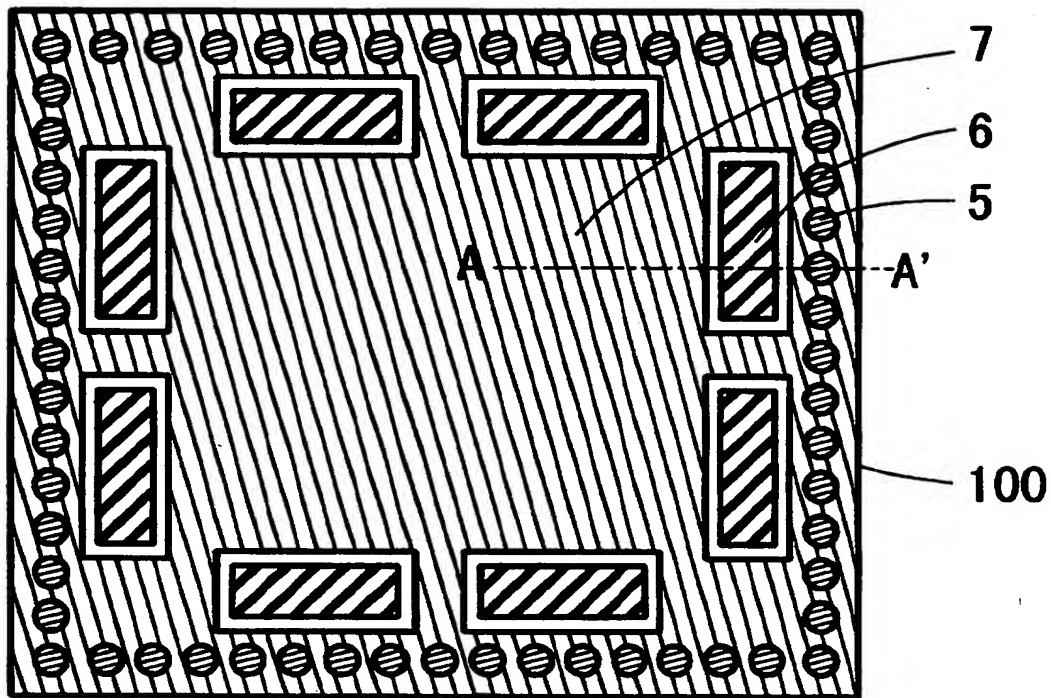
【図 2】

本発明の原理を説明する断面図



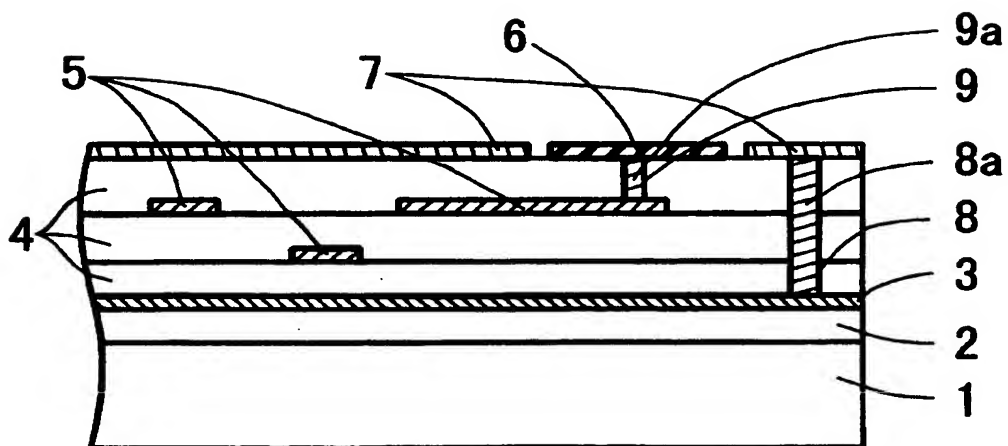
【図3】

第1実施例を説明する部分透過平面図



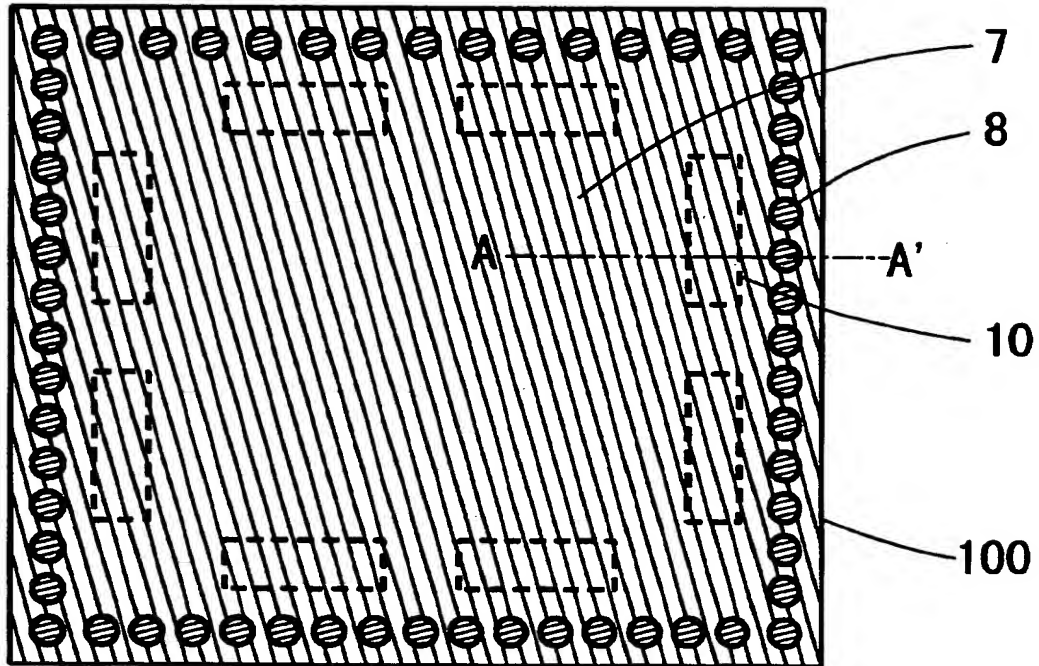
【図4】

第1実施例を説明する断面図



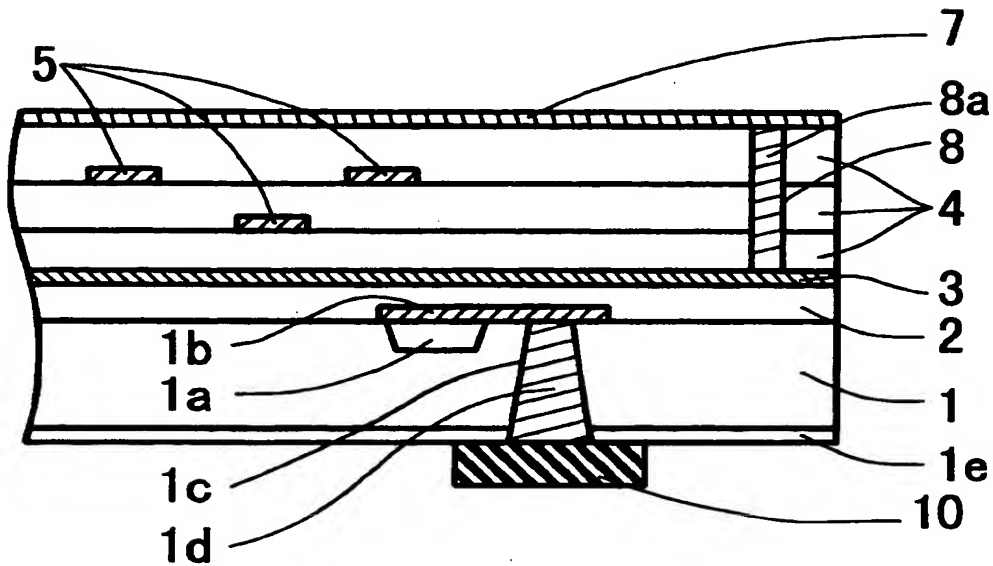
【図 5】

第 2 実施例を説明する部分透過平面図



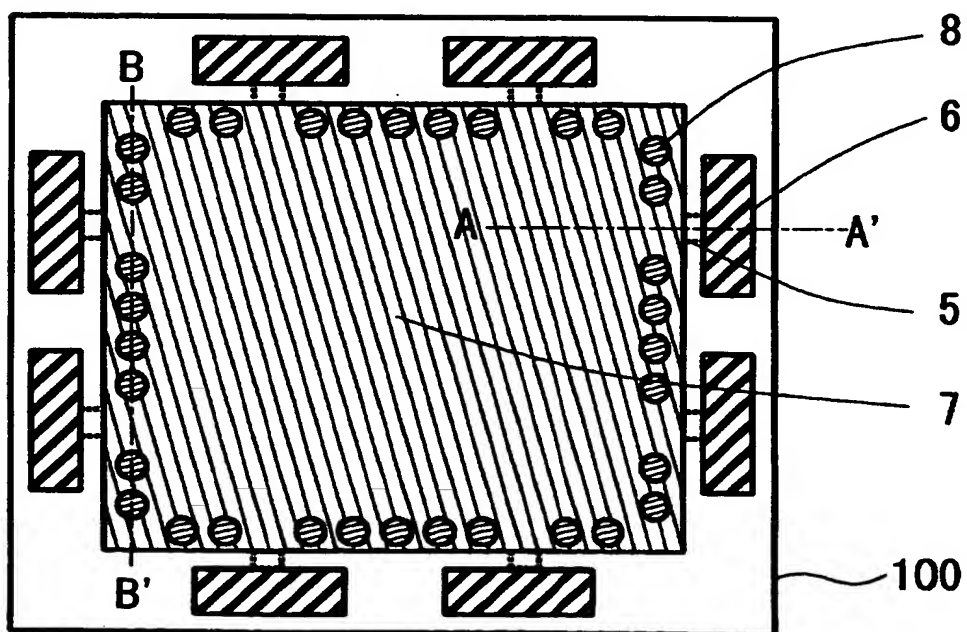
【図6】

第2実施例を説明する断面図



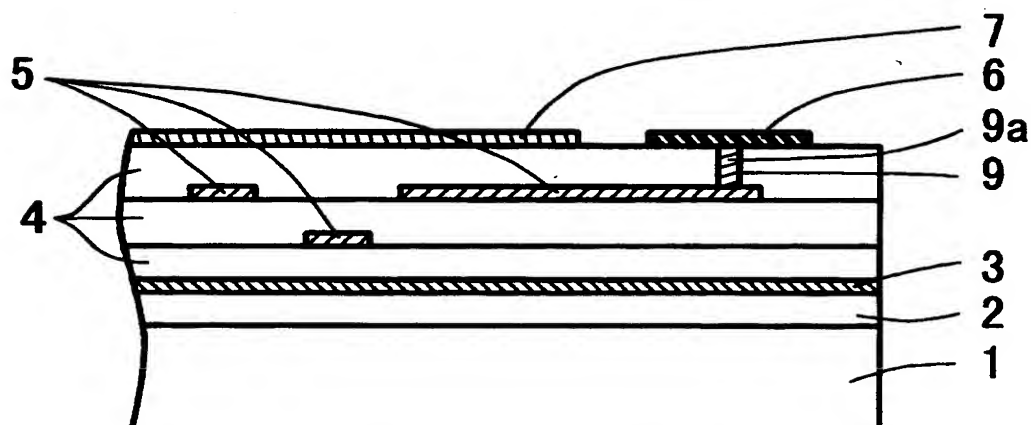
【図7】

第3実施例を説明する部分透過平面図



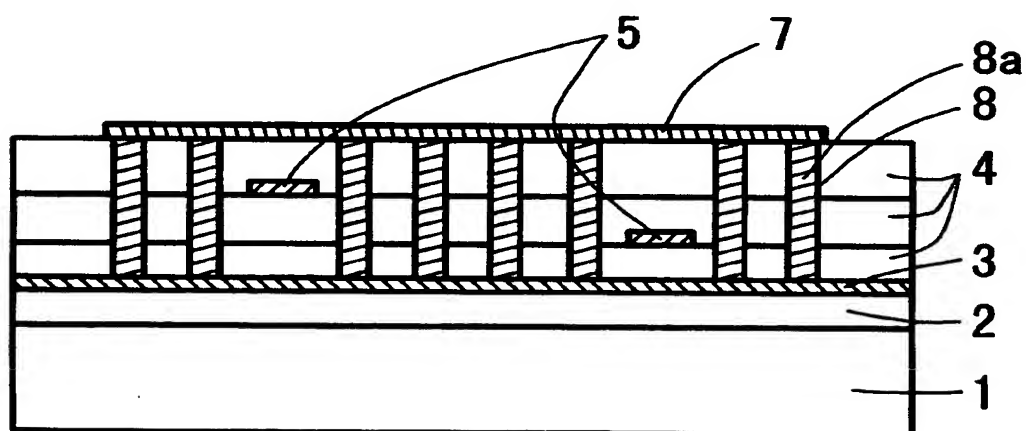
【図 8】

第 3 実施例を説明する (A-A') 断面図



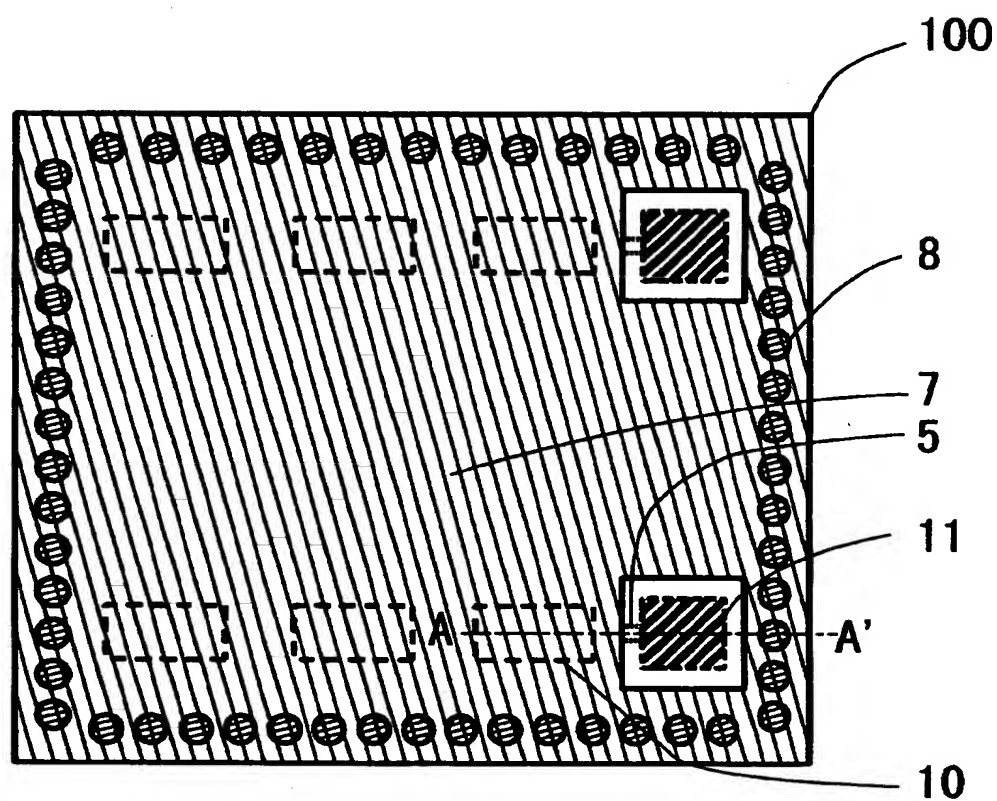
【図 9】

第 3 実施例を説明する (B-B') 断面図



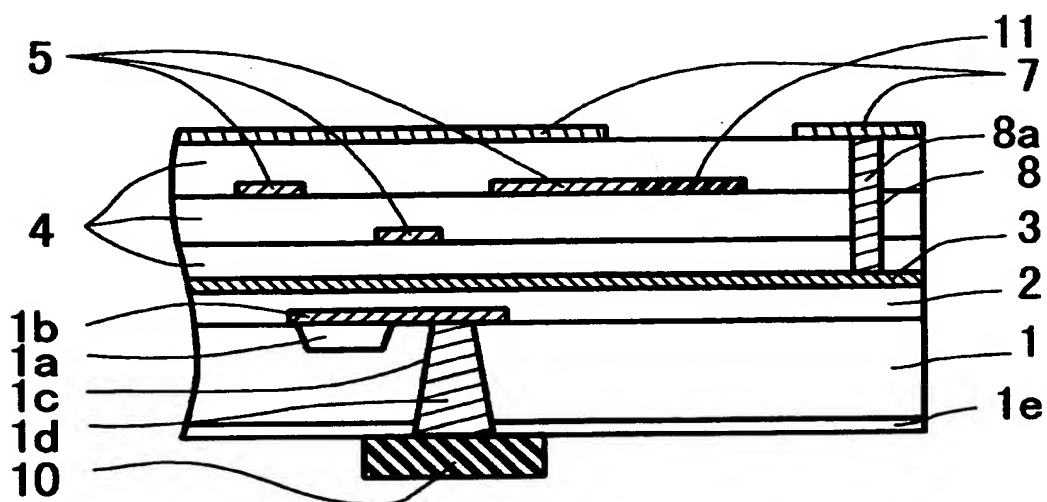
【図 1 0】

第 4 実施例を説明する部分透過平面図



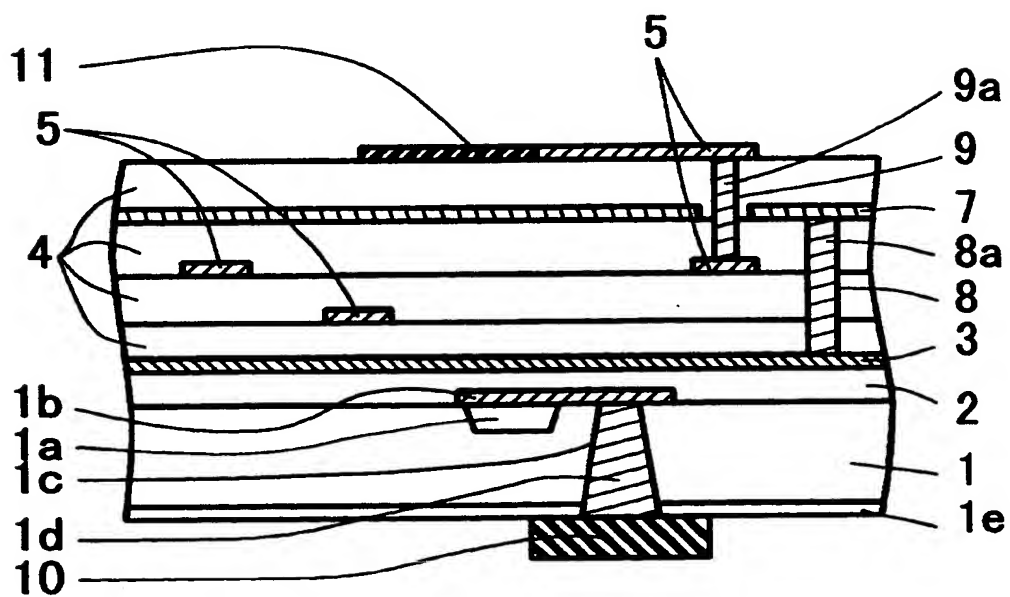
【図 1 1】

第 4 実施例を説明する (A-A') 断面図



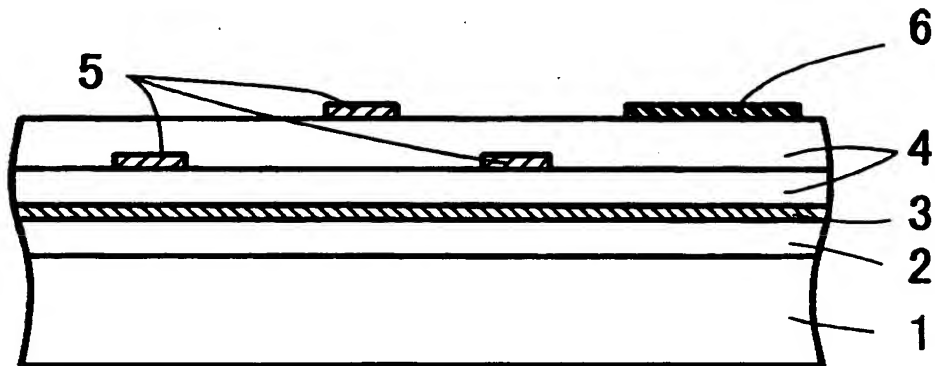
【図 1 2】

第 5 実施例を説明する断面図



【図 1 3】

従来のマクロストリップ線路を使用した
3 次元MMICを示す図



【書類名】 要約書

【要約】

【課題】 MMICはその内部で高周波信号が取り扱われており、チップ外部からの電磁波などがMMICの動作に悪影響を及ぼすことがある。シールド可能で高価なメタルパッケージやセラミックパッケージを使わず、また、一つのパッケージ内に複数の素子を搭載するには、素子自身の発する電磁波による相互干渉を防止しなければならない。

【解決手段】 MMICの表面をシールドプレートによって保護し、外部電磁波による干渉あるいは、外部への電磁波の漏洩をチップ単体で減少する。

【選択図】 図 2

出 願 人 履 歴 情 報

識別番号 [000154325]

1. 変更年月日 1992年 4月 6日

[変更理由] 名称変更

住 所 山梨県中巨摩郡昭和町大字紙漣阿原1000番地

氏 名 富士通カンタムデバイス株式会社